

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

010059048 \*\*Image available\*\*

WPI Acc No: 1994-326759/199441

XRAM Acc No: C94-148424

XRPX Acc No: N94-256628

**LC display device of improved yield - composed of gate electrode, gate insulation film and amorphous silicon active layers and contact layers**

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6230425	A	19940819	JP 9316395	A	19930203	199441 B

Priority Applications (No Type Date): JP 9316395 A 19930203

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 6230425	A	5	G02F-001/136	
------------	---	---	--------------	--

Abstract (Basic): JP 6230425 A

TFT is composed of gate electrode, gate insulation film on a transparent insulating substrate, amorphous silicon active layer, two amorphous silicon contact layers, source electrode and drain electrode.

USE - Mfg. processes are reduced and a yield is improved.

Dwg.1/10

Title Terms: LC; DISPLAY; DEVICE; IMPROVE; YIELD; COMPOSE; GATE;

ELECTRODE;

GATE; INSULATE; FILM; AMORPHOUS; SILICON; ACTIVE; LAYER; CONTACT;

LAYER

Derwent Class: L03; P81; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1343; H01L-021/336;

H01L-029/784

File Segment: CPI; EPI; EngPI

BEST AVAILABLE COPY

04558525 \*\*Image available\*\*  
**LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION**

PUB. NO.: 06-230425 [JP 6230425 A]  
PUBLISHED: August 19, 1994 (19940819)  
INVENTOR(s): MIYAJIMA KOJI  
APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 05-016395 [JP 9316395]  
FILED: February 03, 1993 (19930203)  
INTL CLASS: [5] G02F-001/136; G02F-001/1343; H01L-021/336; H01L-029/784  
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors)  
JOURNAL: Section: P, Section No. 1829, Vol. 18, No. 612, Pg. 72, November 21, 1994 (19941121)

#### ABSTRACT

PURPOSE: To decrease the number of times of peeling photoresists, to prevent shorting and to improve yield by continuously forming respective layers of a TFT and forming a drain electrode, drain line and source electrode of the same material as the material of a display electrode by the same processing.

CONSTITUTION: The TFT has the gate electrode integral with the gate line, a gate insulating film which is provided on an insulating substrate so as to cover this gate electrode an amorphous silicon active layer which is provided thereon, two amorphous silicon contact layers which are provided apart from each other thereon and two metallic layers which are provided thereon. The source electrode 25 formed integrally with the display electrode 26 is formed on the one metallic layer of these two metallic layers and the drain electrode 23 which is formed integrally with the drain line 24 and made of the same material as the material of the display electrode 26 is formed on another metallic layer. An organic film of about the same film thickness as the film thickness of the TFT is provided under this display electrode 26 over the entire area of the insulating substrate exclusive of the TFT.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-230425

(43)公開日 平成6年(1994)8月19日

(51) Int.CI.<sup>5</sup> 譲別記号 F I  
G02F 1/136 500 9018-2K  
1/1343 8707-2K  
H01L 21/336  
29/784  
9056-4M H01L 29/78 311 Y  
審査請求 未請求 請求項の数 8 O L (全 5 頁)

(21)出願番号 特願平5-16395

(22)出願日 平成5年(1993)2月3日

(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号

(72)発明者 宮島 康志  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

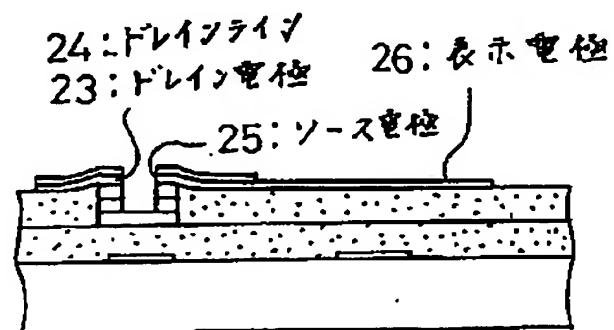
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】液晶表示装置及びその製造方法

(57)【要約】

【目的】マスク数、およびホトリソ工程を減少させる液晶表示装置を製造し、同時に、その歩留まりを向上させる。

【構成】本発明では、ゲート絶縁膜、ノンドープのアモルファスシリコン膜、不純物ドープのアモルファスシリコン膜、および、メタル層を連続成膜し、その後、同一マスクで連続エッチングして薄膜トランジスタを形成する。また、薄膜トランジスタの段差を無くすために、有機膜を設けて、表示電極の段切れを防止している



## 【特許請求の範囲】

【請求項1】 透明な絶縁性基板と、この上に設けられた複数のゲートラインと、このゲートラインと直行する方向に設けられた複数のドレインラインと、前記ゲートラインとドレインラインの交点にマトリクス状に設けられたTFTスイッチング素子と表示電極とを少なくとも有する液晶表示装置において、

前記TFTは、前記ゲートラインと一体のゲート電極と、このゲート電極を覆うようにして前記絶縁性基板上に設けられたゲート絶縁膜と、この上に設けられたアモルファスシリコン活性層と、この上に互いに離間して設けられた二つのアモルファスシリコンコンタクト層と、これの上に設けられた二つのメタル層と、このうち一方のメタル層上に、前記表示電極と一体で形成されるソース電極と、もう一方のメタル層上に前記ドレインラインと一体であり、前記表示電極と同一材料で成るドレイン電極から成り、前記表示電極の下に前記TFTを除く前記絶縁性基板全域にわたって、前記TFTと同程度の膜厚の有機膜が設けられていることを特徴とした液晶表示装置。

【請求項2】 前記表示電極はITOよりなり、前記ソース電極、前記ドレイン電極および前記ドレインライン表面には抵抗の低い導電材料が形成されていることを特徴とした請求項1記載の液晶表示装置。

【請求項3】 前記導電材料は、ニッケルを使用することを特徴とした請求項2記載の液晶表示装置。

【請求項4】 前記有機膜はアクリル樹脂系有機膜からなることを特徴とする請求項1、請求項2、または請求項3記載の液晶表示装置。

【請求項5】 透明な絶縁性基板上に、ゲート電極およびゲートラインを形成する工程と、このゲート電極を少なくとも複数のゲート絶縁膜を形成する工程とこの絶縁膜上の前記ゲート電極に対応する領域に、アモルファスシリコン活性層アモルファスシリコンコンタクト層およびメタル層より成るTFTを形成する工程と、このTFTを除いた前記絶縁性基板上全面に、このTFTと同程度の厚さの有機膜を設ける工程と、この有機膜上の前記ゲートラインと前記ドレインラインに囲まれた領域に設けられ、前記メタル層のソース部と電気的に接続する表示電極と、この表示電極と同一材料で成り、前記メタル層のドレイン部と電気的に接続するドレインラインを前記ゲートラインと交差する方向に設ける工程を少なくとも有する液晶表示装置の製造方法。

【請求項6】 前記表示電極の材料はITOを使用し、前記ソース部、前記ドレイン部および前記ドレインライン表面には抵抗の低い導電材料を形成する工程があることを特徴とした請求項5記載の液晶表示装置の製造方法。

【請求項7】 前記導電材料はニッケルを使用することを特徴とした請求項6記載の液晶表示装置の製造方法。

【請求項8】 前記有機膜はアクリル樹脂系有機膜を使用することを特徴とする請求項5、請求項6または請求項7記載の液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、高歩留まりと製造工程のマスク数の減少を達成した液晶表示装置とその製造方法に関する。

## 【0002】

10 【従来の技術】 近年、アクティブマトリクス型液晶表示装置は、携帯用TV、ビデオモニター液晶プロジェクター、およびOA機器等のディスプレイ装置などに用いられ、すでに商品化されている。従来の液晶表示用薄膜トランジスタ基板として、図9に示すようなものがあつた。透明な絶縁性基板(50)上にゲート電極(51)、ゲートライン(52)、補助容量電極(53)が設けられ、これを覆って絶縁性基板(50)全面にゲート絶縁膜(54)が設けられている。

## 【0003】 このゲート絶縁膜(54)上の前記ゲート電極(51)に対応する領域には、ノンドープのアモルファスシリコン(以下a-Siと略す)(55)不純物ドープのアモルファスシリコン(以下N'a-Siと略す)(56)(57)、半導体保護膜(58)、ドレイン電極(59)およびソース電極(61)よりなるTFTが設けられている。

20 【0004】 更に、前記ドレイン電極(59)と一体のドレインライン(60)が、前記ゲート絶縁膜(54)上の前記ゲートライン(52)に直交する方向に設けられている。また、前記ゲート絶縁膜(54)上の前記ゲートライン(52)と前記ドレイン(60)に囲まれた領域には、ITOよりなる表示電極(62)が設けられている。この表示電極(62)は、前記ソース電極(61)と電気的に接続されている。

30 【0005】 続いて、製造方法を説明する。まず、透明な絶縁性基板(50)上に、Crなどの金属をスパッタリングし、パターン化してゲート電極(51)、これと一体のゲートライン(52)、および補助容量電極(53)を形成する。次に、SiNxをプラズマCVD法で成膜してゲート絶縁膜(54)とし、続いて同様にプラズマCVD法でa-SiおよびSiNxを成膜し、SiNxをパターン化して半導体保護膜(58)とする。そして、N'a-SiをプラズマCVD法で形成した後、N'a-Siおよびa-Siをエッチングして、TFTのドレイン部、ソース部及びチャンネル部を形成する。続いて、ITOをスパッタリングしてパターン化し、表示電極(62)を形成する。そして、Al/Moをスパッタリングして、パターン化しドレイン電極(59)、これと一体のドレインライン(60)及びソース電極(61)を形成する。

40 【0006】

【発明が解決しようとする課題】図9で示す従来の液晶表示装置は、その製造方法において、マスク数が5枚以上になり製造コストが大きかった。また、製造過程で異物が存在する場合これがホトリソグラフィー工程中、特にレジスト剥離の際にホールとなり、その後、A I, Crなどをスパッタリングすると、このホールにこれらの金属が入りこみショートの原因となっていた。

## 【0007】

【課題を解決するための手段】本発明では、a-Si層、N' a-Si層およびメタルを連続で成膜することと、ドレイン電極、ドラインラインおよびソース電極を表示電極と同一材料で、同一工程によって形成することで前述の課題を解決するものである。

## 【0008】

【作用】ゲート絶縁膜、a-Si、N' a-Si、メタルを連続成膜することにより、TFTアーランドの形成に関してはマスクが2枚ですむことになり、更にこのうちの1枚で表示電極をパターン化するので、全工程でも最低3枚のマスクで十分ということになる。

【0009】また、メタル形成前にはフォトリソグラフ<sup>イ</sup>ー工程が無いため、たとえ異物が存在していても、ホールが現れることがないので、メタルがホールに入ってショートが起きることを防止できる。更に、本願では表示電極の形成時に、これと同一材料でドラインライン、ドレイン電極、ソース電極を同一工程でITOより形成し、工程数を削減している。これは、TFTの段差によるITOの段切れを生ずるという問題を招くが、本発明では更に、TFTを除く全領域に有機膜を設け、段差を無くしてからITOを成膜するという方法によりこの問題を解決している。

## 【0010】

【実施例】以下、本発明の実施例を詳細に説明する。図1から図8は、本願実施例の液晶表示装置の製造方法を示す断面図である。まず、図1で示す如く透明な絶縁性基板(10)上に、Crを1500Åの厚さで形成しバターン化してゲート電極(11)、ゲートライン(12)、および補助容量電極(13)を設ける。

【0011】続いて、ゲート絶縁膜として例えばSiNx膜(14)を4000Å、a-Si膜(15)を1000~2000Å、N' a-Si膜(16)を500Å、Cr膜(17)を1000Åの厚さで連続成膜する。そして、図3のようにTFT部を除いた領域のSiNx膜(14)、a-Si膜(15)、N' a-Si膜(16)、Cr膜(17)をエッチング除去する。この時使用するマスクは一枚である。

【0012】次に、アクリル樹脂系有機膜(18)を、TFTを除く全面に被覆する工程がある。まず、アクリル樹脂を、スピニコータで基板全面に約3000Åの膜厚で塗布して、空素雰囲気中でベーキングしてアクリル樹脂膜を形成する。ベーキングはTFTへの影響と熱処

理効果を考慮して200°C、30分間で行う。また、ホットプレートで2~3分間加熱してもよい。そして、ライトアッシングでアクリル樹脂膜を平坦化しTFT部の表面を露出させ、図4のようにTFT部の表面とアクリル樹脂系有機膜の表面がなだらかにつながるようにする。また、平坦化の方法としては、有機膜がネガ形の場合、前記Cr膜(17)をマスクとして背面露光を行い、TFT上の有機膜を除去する方法もある。

【0013】続いて、前の工程までで、なめらかになつた基板表面を下地にしてITO(19)を1000Åの膜厚で全面に形成し、ドレイン電極(23)、ドラインライン(24)、ソース電極(25)、表示電極(26)の各領域にレジスト(20)を被覆して(図5)、エッチングして図6の構造を得る。この時も、一枚のマスクで、ITO(19)、Cr(17)、N' a-Si(16)をエッチングしていく。

【0014】更に、図7のように表示電極(26)の領域にレジスト(21)を塗布して、ITOで成るドレイン電極(23)、ドラインライン(24)およびソース電極(25)の表面にニッケル(22)をメッキする。ニッケル(22)のメッキは塩化パラジウム中でITO表面にPdを還元析出させた後、硫酸ニッケル、塩化ニッケル、スルファミン酸ニッケル、塩化アンモニウム、ほう酸、光沢剤、ピット防止剤等のメッキ液中で、Pdを触媒にしてNiを折出させてなされる。ITOは抵抗が大きく電極配線には向けていない。そのため、ITOで成るドレイン電極(23)ドラインライン(24)、ソース電極(25)の表面をNiで被覆して電導性を高めているのである。なお、ニッケルに限らずアルミニウム、モリブデン、チタンなどの金属でもよい。

【0015】最後に、レジスト(21)を剥離(図8)し、図では省略したが、バシベーション膜、配向膜を設け、対向電極が備えられた対向基板と貼り合せ、間に液晶を注入して本発明の液晶表示装置が完成する。本発明の特徴は、第1に、SiNx膜(14) a-Si膜(15)、N' a-Si膜(16)、Cr膜(17)を連続成膜し、少なくともCr膜(17)成膜直前に、フォトリソグラフ<sup>イ</sup>ーが行われない製造方法にある。これにより、ホールが生じて、そこに電極材料が入り込むことによるゲート・ドレイン間およびゲート・ソース間のショートを防ぐことができる。つまり、Cr膜(17)は、電極であると同時に、a-Si膜(15)、N' a-Si(16)の保護膜でもある。特にCrが用いられているのは、強度やエッチングの際の耐薬品性を考慮にいれてのことである。Crが保護膜となってレジストの塗布と剥離、およびエッチングの際に異物が存在している場合、これらがとれてホールになることを防ぐものである。

【0016】第2に、表示電極(26)、ドレイン電極(23)、ソース電極(25)およびドラインライン

(24) を表示電極(26)と同一材料、ここではITOで形成されているところにある。このため、従来例のようにメタルで成るソース電極(61)とITOで成る表示電極(62)の間の電気的コンタクトが、マスク合せの際のズレによって失われることを防げる。よって、マスク合せ精度の低い安い露光機が使用でき、低コスト化が可能となる。また、この場合ITOが基板面からTFTの最上層につながっているため、TFTの段差によるITOの段切れが生じやすくなるという問題がおこる。図10はアクリル樹脂系有機膜を設けていない場合の断面図である。図のAの部分でITOの段切れ、Bの部分では、ITOの下地との接着不良が生じやすい。このため本願では、ITOの下部にアクリル樹脂系有機膜(18)を設けて段差を無くしてITOの段切れを防いでいる。

【0017】第3に、前述の製造工程の説明から明らかのように本実施例のTFT基板の製造に要するマスクは3枚と、従来に比べて著しく少なくなっている。

#### 【0018】

【発明の効果】以上の説明から明らかなように、本発明の構造およびその製造方法により、TFT基板の製造に要するマスクは端子部のコンタクトホール形成用のマスクも含めて最低4枚に減った。これは、マスク合せの際のズレが原因の不良が、減少することになった。また、ホトレジストを剥離する回数が減り、ショートの防止につながり、歩留まりが向上した。

【0019】更に、絶縁性基板上のTFTを除く全領域にアクリル樹脂系有機膜を設けることによりTFTの突出がなくなり、本願の特徴の1つがあるところの、表示電極、ドレンラインおよびドレン電極が一体でITOより成っている構成において、表示電極とソース電

極、およびドレンラインとドレン電極が、極端な湾曲がなく、なめらかにつながることになった。これによりITOの段切れが無くなり、歩留まりが向上した。

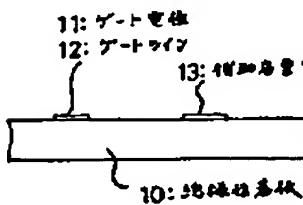
#### 【図面の簡単な説明】

- 【図1】本発明の実施例の製造工程の断面図である。
- 【図2】本発明の実施例の製造工程の断面図である。
- 【図3】本発明の実施例の製造工程の断面図である。
- 【図4】本発明の実施例の製造工程の断面図である。
- 【図5】本発明の実施例の製造工程の断面図である。
- 【図6】本発明の実施例の製造工程の断面図である。
- 【図7】本発明の実施例の製造工程の断面図である。
- 【図8】本発明の実施例の製造工程の断面図である。
- 【図9】従来の液晶表示装置の断面図である。
- 【図10】従来の液晶表示装置の断面図である。

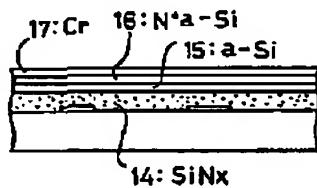
#### 【符号の説明】

10	絶縁性基板
11	ゲート電極
12	ゲートライン
13	補助容量電極
14	SiNa
15	a-Si
16	N'a-Si
17	Cr
18	アクリル樹脂系有機膜
19	ITO
20, 21	レジスト
22	Ni
23	ドレン電極
24	ドレンライン
25	ソース電極
26	表示電極

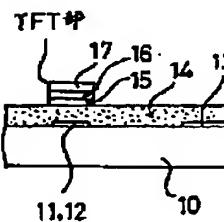
【図1】



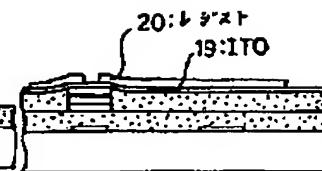
【図2】



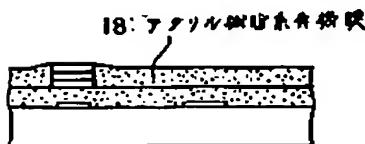
【図3】



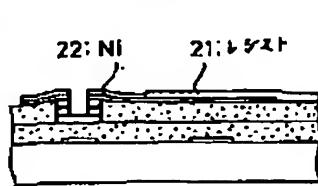
【図5】



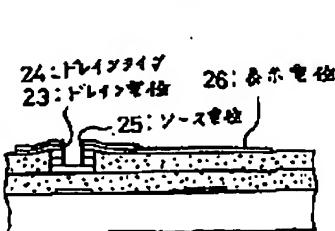
【図4】



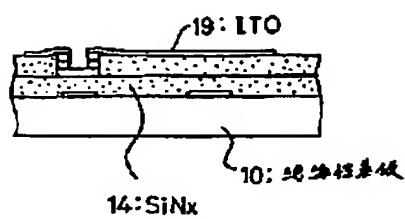
【図7】



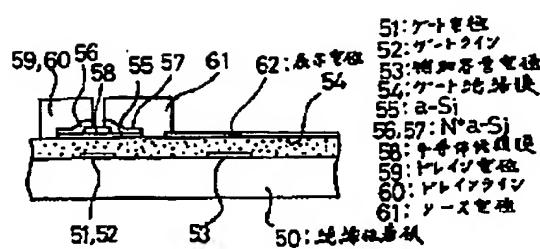
【図8】



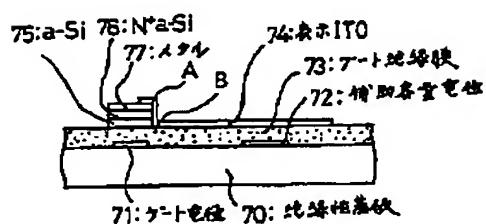
【図 6】



【図 9】



【図 10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**